

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10313259 A**(43) Date of publication of application: **24 . 11 . 98**

(51) Int. Cl

H04B 1/26(21) Application number: **09306223**(22) Date of filing: **07 . 11 . 97**(30) Priority: **10 . 03 . 97 JP 09 54386**(71) Applicant: **SONY CORP**(72) Inventor: **OUGIHARA TAKAHIRO**(54) **HIGH FREQUENCY CIRCUIT**

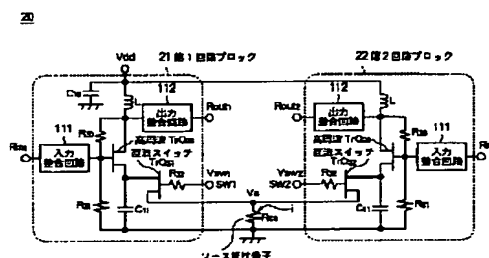
terminals.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To provide a high frequency circuit that is suitable for a front end application of a receiver receiving pluralities of high frequency signals and where a changeover switch configuration among pluralities of blocks processing each high frequency signal is simplified so as to attain miniaturization and switches are formed integrally with other high frequency transistors (TRs) such as a GaAsFET.

SOLUTION: Each of pluralities of circuit blocks 21, 22 is provided with DC switch TRs Qs1, Qs2 for DC switch shutting a path of a DC bias current (i) supplied in a circuit block not selected based on a non-selection signal. A common load element Rss between the blocks is connected between sources of the TRs Qs1, Qs2 and a common level. In the case of a high frequency mixer circuit, an RF input terminal is used for each block and an LO input terminal and an IF output terminal are used in common for the blocks. Furthermore, each block includes DC switch TRs Qs1, Qs4 and has input output interrupt sections that shut a DC current path in the case of non-selection to sufficiently attain high frequency isolation between the input and output



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-313259

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl.⁶

H 0 4 B 1/26

識別記号

F I

H 0 4 B 1/26

B

C

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願平9-306223

(22) 出願日 平成9年(1997)11月7日

(31) 優先権主張番号 特願平9-54386

(32) 優先日 平9(1997)3月10日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 扇原 孝浩

東京都品川区北品川6丁目7番35号 ソニ

一株式会社社内

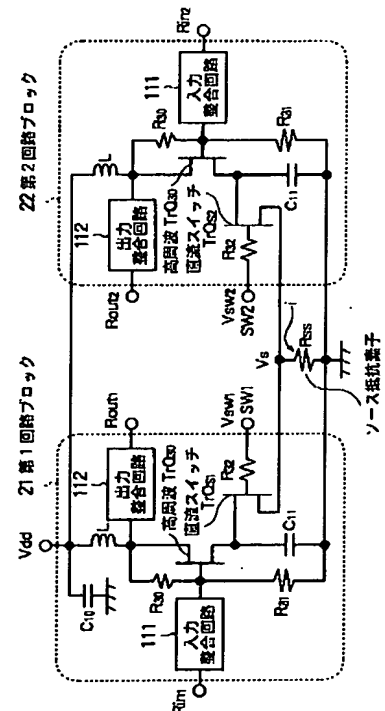
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 高周波回路

(57) 【要約】

【課題】 各高周波信号を扱う複数のブロック間の切替用スイッチが、高周波トランジスタと一体形成できず、M M I C の小型化ができない。

【解決手段】 複数の各回路ブロック 2 1 , 2 2 は、そのブロックが選択されないときは、非選択信号にもとづいて当該回路ブロック内を流れる直流バイアス電流 i の経路を遮断する直流スイッチ用トランジスタ $Q s 1$, $Q s 2$ をそれぞれ有する。当該トランジスタ $Q s 1$, $Q s 2$ のソースに対し、ブロック間で共通な負荷素子 $R s s$ が共通電位との間に接続されている。高周波ミキサ回路の場合、 $R F$ 入力端子は各ブロックごとに、 $L O$ 入力端子と $I F$ 出力端子は全ブロック間で共通とする。また、各ブロックは、前記直流スイッチ用トランジスタを含み、非選択時の直流電流経路を遮断し、入出力端子間の高周波絶縁性を十分に達成する入出力遮断部をそれぞれ有する。



【特許請求の範囲】

【請求項1】受信したRF信号が入力される回路ブロックを複数個有し、
前記複数の各回路ブロックは、そのブロックが選択されないときに、入力される非選択信号にもとづいて当該回路ブロック内を流れる直流バイアス電流の経路を遮断する直流スイッチ用トランジスタをそれぞれ有する高周波回路。

【請求項2】前記直流スイッチ用トランジスタは、そのソースが回路ブロック間で相互に接続されて共通な負荷素子を介して共通電圧の供給線に接続され、ゲートに前記非選択信号が印加されたときに、前記直流バイアス電流としてのドレインとソース間電流を遮断する請求項1に記載の高周波回路。

【請求項3】前記直流スイッチ用トランジスタのドレインは、当該直流スイッチ用トランジスタと同じ回路ブロック内の高周波トランジスタのソースに接続され、当該高周波トランジスタのソースと前記共通電圧の供給線との間に、高周波接地用キャパシタが接続されている請求項1に記載の高周波回路。

【請求項4】前記高周波トランジスタとして、ゲートに入力されたRF信号を増幅してドレイン側から出力する高周波増幅用トランジスタを有する請求項3に記載の高周波回路。

【請求項5】前記高周波トランジスタは、ガリウム砒素電界効果トランジスタである請求項3に記載の高周波回路。

【請求項6】RF信号を局部発振周波数信号と混合してIF信号を出力するミキサ回路ブロックをRF信号の周波数帯域ごとに複数個有し、
前記ミキサ回路ブロックごとに、前記RF信号が入力されるRF入力端子を備え、
前記局部発振周波数信号を入力するLO入力端子、前記IF信号を出力するIF出力端子それぞれが、全てのミキサ回路ブロック間で共通化され、
前記複数のミキサ回路ブロックは、そのブロックに固有なRF信号が選択されないときは、入力される非選択信号にもとづいて当該ミキサ回路ブロック内を流れる直流バイアス電流の経路を遮断することによって、少なくとも前記RF入力端子に対する前記IF出力端子の高周波的な絶縁性を十分に高める入出力遮断部をそれぞれ有する高周波回路。

【請求項7】前記入出力遮断部は、ソースが回路ブロック間で相互に接続されて共通な負荷素子を介して共通電圧の供給線に接続され、ゲートに前記非選択信号が印加されたときに、前記直流バイアス電流としてのドレインとソース間電流を遮断する直流スイッチ用トランジスタを有する請求項6に記載の高周波回路。

【請求項8】前記ミキサ回路ブロックは、ドレインに電源電圧が印加され、ソースが高周波接地用キャパシタを

介して前記共通電圧に接続され、ゲートに前記RF信号と前記局部発振周波数信号が入力されたときにドレイン側から前記IF信号を出力するミキサ用トランジスタを有し、

前記入出力遮断部は、前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記ミキサ用トランジスタに流れる動作電流を遮断する出力スイッチ用トランジスタを有する請求項7に記載の高周波回路。

10 【請求項9】前記ミキサ回路ブロックは、ドレインに接続された前記RF入力端子からRF信号が入力され、ゲートに前記局部発振周波数信号が入力されたときに、ソースからIF信号を出力するミキサ用トランジスタと、ドレインに電源電圧が印加され、ソースが高周波接地用キャパシタを介して前記共通電圧に接続され、ゲートが前記ミキサ用トランジスタのソースに接続され、当該ゲートに入力される前記IF信号を増幅してドレインから出力するIF増幅用トランジスタとを有し、

20 前記入出力遮断部は、前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記IF増幅用トランジスタに流れる動作電流を遮断する出力スイッチ用トランジスタを有する請求項7に記載の高周波回路。

【請求項10】前記ミキサ回路ブロックは、前記ミキサ用トランジスタのゲートと前記電源電圧供給線または前記共通電圧供給線との間に接続され、ゲートに接続された前記LO入力端子から入力した前記局部発振周波数信号を増幅して前記ミキサ用トランジスタのゲートに出力するLO増幅用トランジスタを更に有し、

30 前記入出力遮断部は、第2の前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記LO増幅用トランジスタに流れる動作電流を遮断する入力スイッチ用トランジスタを更に有する請求項8に記載の高周波回路。

【請求項11】前記ミキサ回路ブロックは、前記ミキサ用トランジスタのゲートと前記電源電圧供給線または前記共通電圧供給線との間に接続され、ゲートに接続された前記LO入力端子から入力した前記局部発振周波数信号を増幅して前記ミキサ用トランジスタのゲートに出力するLO増幅用トランジスタを更に有し、

40 前記入出力遮断部は、第2の前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記LO増幅用トランジスタに流れる動作電流を遮断する入力スイッチ用トランジスタを更に有する請求項9に記載の高周波回路。

【請求項12】前記ミキサ用トランジスタは、前記RF入力端子に接続された第1のゲート電極と、前記局部発振周波数信号が入力される第2のゲート電極とを有するデュアルゲート構造のガリウム砒素電界効果トランジスタである請求項8に記載の高周波回路。

【請求項 13】前記直流スイッチ用トランジスタは、ガリウム砒素電界効果トランジスタである請求項 7 に記載の高周波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばダイバーシティーアンテナを有する受信装置または移動体通信の受信系等、複数の同一または異なる高周波信号を入力して、それぞれ増幅、周波数変換等の処理を行う高周波回路に関する。

【0002】

【従来の技術】無線通信の分野における受信装置では、アンテナダイバーシティー、或いは周波数等が異なる複数のシステムへの対応を実現するために、そのフロントエンドである低雑音増幅器、ミキサ等を複数個予め用意しておき、その中から 1 経路を選択的に動作させ、他の経路を当該選択した経路から高周波的に遮断して使用する場合が多い。

【0003】この複数のシステム対応が要求される無線通信で、近年、目覚ましく発展しているものとして、携帯電話に代表される移動体通信がある。たとえば、国内においては、従来からの 800MHz 帯のアナログセルラーに加え、新たに 800MHz 帯および 1.5GHz 帯のデジタルセルラー (PDC) が実用化され、数年前からはパーソナルハンディフォンシステム (PHS) がサービスを始めている。また、海外では欧州、米国それぞれに種々な方式が存在する。このように、一言で移動体通信といってもそのシステムは多様であり、また、周波数の割り当ても異なる。そして、これらの複数のシステムによるサービスを 1 つの携帯端末で受けられるようにする技術開発も既に始まっており、近々商品化される状況にある。

【0004】複数のシステムの送受信を 1 つの端末で実現しようとする場合、RF (Radio-Frequency) 段で最も影響を受けるのはシステムによる周波数の相違である。とくに、この周波数の相違の影響が受信系で最も大きいと考えられるのは、周波数変換を行なう初段ミキサ部であり、通常、初段ミキサ部はシステム (使用する周波数帯域) ごとに分けて構成される。なぜなら、ミキサ部ではイメージ帯や half IF による 2 次歪み抑圧のために、使用帯域の RF 信号のみを通過させる狭帯域な帯域通過フィルタをミキサ部前段に設ける必要があるからである。一方、バッテリーにより駆動される携帯端末として小型化および低消費電力化を如何に図るかは重要な課題であり、このため優れた高周波特性を有し低消費電力化に有利な GaAs MMIC (Monolithic microwave integrated circuits) によるミキサ部の開発が盛んに進められている。GaAs MMIC でミキサ部を実現した場合、低消費電力で優れた高周波特性を得ることができる周波数帯域幅は比較的狭いことから、この意味でも初段ミキ

サ部を周波数帯域ごとのブロックに分けて構成する必要性は高い。

【0005】図 9 は、従来の複数システムの受信が可能な初段ミキサ回路の構成例として、RF1 と RF2 といった 2 つの RF 信号を選択して周波数のダウンコンバータが可能なデュアルバンド対応ミキサ回路のブロック図を示す。この従来のミキサ回路 100 は、第 1 ミキサ回路ブロック 101 と、第 2 ミキサ回路ブロック 102 と、両ミキサ回路ブロック 101、102 の LO 入力端子 LOin1 と LOin2 の間に接続され、図示せぬ局部発振器からの発振信号 (LO 信号) の入力方向を選択的に切り替える LO 入力高周波スイッチ 103 と、ミキサ回路ブロック 101 と 102 の出力端子 IFout1 と IFout2 の間に接続されて、出力を切り替える IF 出力高周波スイッチ 104 とから構成される。そして、ミキサ回路ブロック 101 と 102 の RF 入力端子 RFin1 と RFin2 には、それぞれ通過帯域の異なる狭帯域フィルタ 105、106 が入力を共通化して接続されている。

【0006】2 つのミキサ回路ブロック 101 と 102 のそれぞれは、ミキサ 101a 又は 102a と、LO バッファアンプ 101b 又は 102b と、IF アンプ 101c 又は 102c とから構成される。

【0007】2 つの高周波スイッチ 103 および 104 は、それぞれ GaAs の FET スイッチ或いは Si のダイオードスイッチ等から構成されている。図 10 は、GaAs FET を用いた高周波スイッチの一般的な構成例を示す回路図である。この高周波スイッチは、入力端子 RFin に接続された入力結合容量 Cin と第 1 の出力端子 RFout1 に接続された第 1 の出力結合容量 Cout1 との間に、制御信号 CTL1 がゲートに入力されて導通する第 1 の転送スイッチ用 FET Q1 が接続されている。同様に、第 2 の出力端子 RFout2 に接続された第 2 の出力結合容量 Cout2 と前記入力結合容量 Cin との間に、制御信号 CTL1 と逆相の制御信号 CTL2 がゲートに入力されて導通する第 2 の転送スイッチ用 FET Q2 が接続されている。第 1 の出力結合容量 Cout1 と第 1 の転送スイッチ用 FET Q1 との接続ノードには、接地電位との間に、第 2 の制御信号 CTL2 によって導通する第 3 の FET Q3 と RF 接地用容量 C3 とが直列接続されている。同様に、第 2 の出力結合容量 Cout2 と第 2 の転送スイッチ用 FET Q2 との接続ノードには、接地電位との間に、第 1 の制御信号 CTL1 によって導通する第 4 の FET Q4 と RF 接地用容量 C4 とが直列接続されている。また、この高周波的に接地される 2 つの接続ノード間、2 つの転送スイッチ用 FET Q1、Q2 の接続点と接地電位の間、および制御信号 CTL1、CTL2 の各入力経路に、それぞれ図示のように抵抗 R40~R49 が接続されている。このように構成された高周波スイッチでは、一方の転送スイッチ用 FET Q1 または Q2 が選択的に導通状態に移移すると、他方の転送スイッチ用 FET が

非導通状態に遷移し、かつ出力端子側が高周波接地される。このため、入力端子 $RFin$ から入力される信号は、他方の出力端子側に漏洩することなく一方の出力端子に導かれて出力される。

【0008】ところで、無線通信の分野における受信装置では、上記したミキサ回路ブロック内の各種アンプといった異なる周波数帯域の信号増幅用のほか、例えばアンテナダイバーシティー等、同じ RF 信号を複数入力する受信機においても、フロントエンド増幅用等に様々な増幅器を内蔵している。

【0009】図11には、その最も簡単な例として1段の高周波増幅回路の基本構成を示す。また、図12には、入力が2系統ある受信装置において、図1の基本増幅回路を各回路ブロックに内蔵させた場合を例示する。図11に示す1段構成の高周波増幅回路110は、高周波増幅用トランジスタ $Q30$ 、入力整合回路111、出力整合回路112、及びバイアス回路から構成されている。また、高周波増幅用トランジスタ $Q30$ のドレインバイアス電流安定化の手段として最も簡便で一般的な、ソース抵抗を利用した自己バイアス方式が採用されている。

【0010】電源端子 Vdd と接地電位との間に、負荷インダクタ L 、高周波増幅用トランジスタ $Q30$ およびソース抵抗素子 Rs を直列に接続させている。電源端子 Vdd と接地電位との間、高周波増幅用トランジスタ $Q30$ のソースと接地電位との間に、それぞれ高周波接地用キャパシタ $C10$ 、 $C11$ が接続されている。高周波増幅用トランジスタ $Q30$ のゲートは、そのドレインとの間に抵抗 $R30$ 、接地電位との間に抵抗 $R31$ を有し、その分圧によりバイアス電圧が設定されている。また、高周波増幅用トランジスタ $Q30$ のゲートと RF 入力端子 $RFin$ との間に前記入力整合回路111、高周波増幅用トランジスタ $Q30$ のドレインと RF 出力端子 $Tout$ との間に前記出力整合回路112が、それぞれ接続されている。なお、入出力整合回路111、112については、通常インダクタとキャパシタを使用したリアクティブ回路により構成されている。

【0011】図12は、2系統入力の受信装置の初段部をなす2つのブロック内に、図11の増幅回路を備えている場合を示す。この初段部120は、第1回路ブロック121、第2回路ブロック122を有し、それらの電源電圧供給経路を切り替える一般的な手段として、一方の回路ブロックのみ選択的にアクティブにする電源供給切替部123を備える。各回路ブロック121、122は、図11の基本構成を有し、各回路ブロックごとに、 RF 入力端子 $RFin1$ 又は $RFin2$ と、 RF 出力端子 $Rout1$ 又は $Rout2$ 、及び電源端子 $Vdd1$ 又は $Vdd2$ が設けられている。この両電源端子 $Vdd1$ 、 $Vdd2$ に、前記電源供給切替部123が接続され、これにより制御端子 Cnt に入力される制御信号に応じて電源入力端子 Vdd が

らの電源電圧 V_{dd} が電源端子 $Vdd1$ 、 $Vdd2$ の何れか一方に供給されるように切替え制御がなされる。

【0012】

【発明が解決しようとする課題】ところが、例えば図9及び図12に例示した複数入力の受信装置では、特にブロック切替え手段をモノリシックIC化する際に、以下に示す課題があった。まず、図9に示す初段ミキサ回路100では、高周波スイッチ103、104が用いられているが、一般に、高周波スイッチで LO 信号や IF 信号の経路を十分に遮断するには、図10に示す如くスイッチ自体の構成が複雑になるうえ、配線のオーバーラップ部分等が特性に影響することからスイッチの小型化が図り難い。このため、高周波スイッチでブロックを切り替えるといった従来構成の高周波ミキサ回路は、その小型化が図り難く、また集積化に適さないブロック構成であった。

【0013】他方、図12に例示した回路120では、電源供給切替回路123等の手段を備え、これにより選択すべき経路に対応するブロックの電源端子に電源電圧を与え、他の未使用の電源端子をオフ即ち $0V$ にすることで入出力端子間を高周波的に遮断するが、このため特別に電源供給切替回路123等の手段を設ける必要があり、これがシステム設計上大きな負担となっていた。

【0014】このブロック選択のためのバイアス電流遮断機能を内部に備えた増幅回路としては、図13に示す回路が従来から知られている。この増幅回路130では、図11の基本構成にバイアス電流遮断機能を付加したものとなっている。すなわち、高周波増幅用トランジスタ $Q30$ のソースとソース抵抗 Rs との間に、直流スイッチ用トランジスタ Qs を挿入させ、そのゲートが抵抗 $R32$ を介してスイッチ端子 SW に接続されている。

【0015】しかし、この増幅回路130を $GaAsFET$ 集積回路においてモノリシックに実現しようとした場合、以下の問題が生じる。増幅回路130を正電源のみで動作可能とするには、少なくとも高周波増幅用トランジスタ $Q30$ をエンハンスメント型とする必要がある。 $GaAsFET$ として最も一般的な $MESFET$ の場合、その拡散電位は $0.6V \sim 0.7V$ であることから、 DC 特性のほかに高周波特性を考慮した現実的なピンチオフ電圧範囲は、せいぜい $0.1V \sim 0.3V$ と非常に狭く、製造プロセスのバラツキを考えると実用化は難しい。一方、拡散電位が約 $1.2V$ と高い $JFET$ であれば、ピンチオフ電圧範囲は少なくとも $0.1V \sim 0.6V$ を見込め、製造プロセスのバラツキを考慮しても実用化可能となる。ところが、現実の回路ではその動作電圧マージンを考慮すると、ピンチオフ下限電圧を更に高くする必要が生じる。

【0016】図14は、図13と同様なバイアス電流遮断機能を高周波ミキサ回路に適用して試作した場合における、変換利得のスイッチ端子電圧 Vsw 依存性を示すグ

ラフである。本試作例では、図13の直流スイッチ用トランジスタ Q_s にGaAs JFETを用い、そのピンチオフ電圧は0.1V~0.2V程度、電源電圧 V_m は2.7Vである。図14より、変換利得は、スイッチ端子電圧 V_{sw} がオフ電圧である0Vから高くなると急峻な増加傾向を示し、この結果、オフ時の動作電圧マージンが極めて小さいことが分かる。

【0017】また、図15は、図14と同じ試作例において、バイアス電流のスイッチ端子電圧 V_{sw} 依存性を測定し、その結果をグラフ化したものである。図15において、スイッチ端子電圧 V_{sw} が0V付近のバイアス電流は、図13の高周波増幅用トランジスタ Q_{30} のゲートバイアス電圧を生成する抵抗 R_{30} 及び R_{31} 内を、電源電圧 V_m 側から流れる電流である。したがって、高周波増幅用トランジスタ Q_{30} のドレイン電流成分は、グラフから読み取ったバイアス電流値からスイッチ端子電圧 V_{sw} が0Vの時のバイアス電流値を差し引いたものにほぼ等しく、高周波増幅用トランジスタ Q_{30} にドレイン電流が流れ始めるときのスイッチ端子電圧は、バイアス電流が上昇し始めるスイッチ端子電圧 V_{sw0} である。したがって、この電圧 V_{sw0} 付近に高周波増幅用トランジスタ Q_{30} のピンチオフ電圧があり、グラフから、このピンチオフ電圧を境に高周波特性が急峻に変化することが分かる。これに回路の動作電圧マージンを考慮し、このマージンを0.3Vとした場合、ピンチオフ下限電圧として少なくとも0.4V程度を見込む必要があり、この結果、回路の動作電圧マージンを考慮したピンチオフ電圧範囲が0.4V~0.6Vと、FETの拡散電圧に基づくピンチオフ電圧範囲0.1V~0.6Vに比べ急に狭くなってしまう。よって、製造プロセスのバラツキを考慮すると、JFETであっても、図13に示す単一電源回路を同一基板上にモノリシックに実現することは難しい。

【0018】本発明は、このような実情に鑑みてなされ、同一又は周波数等が異なる複数の高周波信号を受信可能な受信装置のフロントエンド用途に好適で、各高周波信号を扱う複数のブロック間の切替用スイッチ構成を簡易なものとして小型化を図り、また当該スイッチをGaAs FET等の他の高周波用トランジスタと一体に形成可能とした新たな構成の高周波回路を提供することを目的とする。

【0019】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の高周波回路では、従来の高周波スイッチ、或いは電源切替え機構に代えて、動作電圧マージンが広くできる構成のDCスイッチを用い、しかも、このDCスイッチを、複数の高周波信号入力に対応する複数の各回路ブロック内にそれぞれ内蔵させた。

【0020】すなわち、本発明の高周波回路では、受信

したRF信号が入力される回路ブロックを複数個有し、前記複数の各回路ブロックは、そのブロックが選択されないときは、入力される非選択信号にもとづいて当該回路ブロック内を流れる直流バイアス電流の経路を遮断する直流スイッチ用トランジスタをそれぞれ有する。この直流スイッチ用トランジスタは、そのソースが回路ブロック間で相互に接続されて共通な負荷素子を介して共通電圧の供給線に接続され、ゲートに前記非選択信号が印加されたときに、前記直流バイアス電流としてのドレインとソース間電流を遮断する。また、前記直流スイッチ用トランジスタのドレインは、当該直流スイッチ用トランジスタと同じ回路ブロック内の高周波トランジスタのソースに接続され、当該高周波トランジスタのソースと前記共通電圧の供給線との間に、高周波接地用キャパシタが接続されている。

【0021】このような回路構成は、増幅回路、ミキサ回路等の種々な高周波回路に適用できる。ミキサ回路の場合、RF信号を局部発振周波数信号と混合してIF信号を出力するミキサ回路ブロックをRF信号の周波数帯域ごとに複数個有し、前記ミキサ回路ブロックごとに、前記RF信号が入力されるRF入力端子を備え、前記局部発振周波数信号を入力するLO入力端子、前記IF信号を出力するIF出力端子それぞれが、全てのミキサ回路ブロック間で共通化され、前記複数のミキサ回路ブロックは、そのブロックに固有なRF信号が選択されないときは、入力される非選択信号にもとづいて当該ミキサ回路ブロック内を流れる直流バイアス電流の経路を遮断することによって、少なくとも前記RF入力端子に対する前記IF出力端子の高周波的な絶縁性を十分に高める入出力遮断部をそれぞれ有する。この場合の入出力遮断部も、好ましくは、前述したと同様にブロック間で負荷素子を共通化した構成を有する。

【0022】さらに具体的なミキサ回路の構成例として、例えば、前記ミキサ回路ブロックは、ドレインに電源電圧が印加され、ソースが高周波接地用キャパシタを介して前記共通電圧に接続され、ゲートに前記RF信号と前記局部発振周波数信号が入力されたときにドレイン側から前記IF信号を出力するミキサ用トランジスタを有し、前記入出力遮断部は、前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記ミキサ用トランジスタに流れる動作電流を遮断する出力スイッチ用トランジスタを有する。また、他の構成例として、例えば、前記ミキサ回路ブロックでは、ドレインに接続された前記RF信号入力端子からRF信号が入力され、ゲートに前記局部発振周波数信号が入力されたときに、ソースからIF信号を出力するミキサ用トランジスタと、ドレインに電源電圧が印加され、ソースが高周波接地用キャパシタを介して前記共通電圧に接続され、ゲートが前記ミキサ用トランジスタのソースに接続され、当該ゲートに入力される前記IF信号を増幅

してドレインから出力する I F 増幅用トランジスタとを有し、前記入出力遮断部は、前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記 I F 増幅用トランジスタに流れる動作電流を遮断する出力スイッチ用トランジスタを有する。

【0023】一般に、2つの異なる高周波信号を混合すると、広い周波数帯域内に種々の周波数成分が容易に生成されることから、ミキサ用または I F 増幅用のトランジスタについて、そのサイズや構造によっては非導通時に全ての周波数成分に対し高い絶縁性を確保することが難しい場合がある。このため、ミキサ回路ブロック内の入出力間で確実に高い絶縁性を確保するためには、L O 信号の入力経路を遮断して信号のミキシングそのものを行わないことが望ましい。この観点から、好ましくは、上記2つの具体的な構成例において、前記ミキサ回路ブロックは、前記ミキサ用トランジスタのゲートと前記電源電圧供給線または前記共通電圧供給線との間に接続され、ゲートに接続された前記 L O 入力端子から入力した前記局部発振周波数信号を増幅して前記ミキサ用トランジスタのゲートに出力する L O 増幅用トランジスタを更に有し、前記入出力遮断部は、第2の前記直流スイッチ用トランジスタとして、ゲートに前記非選択信号が入力されたときに前記 L O 増幅用トランジスタに流れる動作電流を遮断する入力スイッチ用トランジスタを更に有する。

【0024】上述のように本発明をミキサ回路に適用した場合、出力スイッチ用トランジスタにより、一般に G a A s F E T を用いて構成されるミキサ用トランジスタについて、不使用時には、そのドレイン電流経路が遮断されるので、当該ミキサ回路の入出力間高周波絶縁が十分に確保され、ブロックの選択が実現可能となる。また、局部発振周波数信号の入力経路を入力スイッチ用トランジスタによりミキサ用トランジスタの入力と切り離し、これによりミキシングそのものを止めることができる。入出力遮断部は、基本的構成が、単一の F E T と、これに付随した数個の受動素子で構成されている。このミキサ回路の場合を含め、本発明の高周波回路では、入出力遮断部の直流スイッチ用 F E T のソースが、ブロック間で相互接続されて負荷素子を介して共通電位に接続されているので、使用ブロック内から当該負荷素子に動作電流が流れ込むため、不使用ブロック内でオフしている高周波トランジスタのソース電位が上昇し、これが当該高周波トランジスタのピンチオフ電圧範囲を拡大する方向に作用する。

【0025】

【発明の実施の形態】以下、本発明に係る高周波回路を、図面にもとづいて詳細に説明する。本発明は、前述したように、少なくとも2以上の同一信号、又は周波数帯域等が異なる信号を入力するシステムに対応可能な高周波回路に関する。したがって、本発明を用いれば、3

入力、4入力或いはそれ以上の多入力システムに対応できるが、ここでは2入力の場合を例に、本発明を説明する。

【0026】第1実施形態

図1は、本発明の実施形態に係る2システム対応の高周波ミキサ回路の構成を示すブロック図である。この高周波ミキサ回路1は、取り扱う周波数帯域が互いに異なる2つのミキサ回路ブロック、即ち第1ミキサ回路ブロック2と第2ミキサ回路ブロック3とをモノリシック化して構成されている。第1ミキサ回路ブロック2は、固有の周波数帯域の R F 信号が入力される R F 入力端子 R F i n 1 を備え、ミキサ部2 a、L O バッファアンプ2 b および I F アンプ2 c 等から構成される。同様に、第2ミキサ回路ブロック3は、固有の周波数帯域の R F 信号が入力される R F 入力端子 R F i n 2 を備え、ミキサ部3 a、L O バッファアンプ3 b および I F アンプ3 c 等から構成される。L O バッファアンプ2 b および3 b の入力は共通化され、L O 入力端子 L O i n に接続されている。I F アンプ2 c および3 c の出力も共通化され、I F 出力端子 I F o u t に接続されている。なお、L O バッファアンプ2 b、3 b は、図示せぬ局部発振器の出力が十分に大きな場合等にあつては省略できる。また、I F アンプ2 c、3 c もそれ自体省略し、或いは後段に接続される I F 信号処理回路等に内蔵させることができる。ミキサ回路ブロック2と3の R F 入力端子 R F i n 1 と R F i n 2 に、通過帯域の異なる狭帯域フィルタ105と106が入力を共通化されて接続されていることは、従来と同様である。

【0027】このように相互接続される各ミキサ回路ブロック2、3には、それぞれスイッチ端子 S W 1、S W 2 が設けられている。このスイッチ端子 S W 1 および S W 2 は、図1では図示しない内蔵の入出力遮断部を動作させる非選択信号を受け付ける。入出力遮断部は、入力される非選択信号にもとづいてミキサ回路ブロック内を流れる直流バイアス電流の経路を遮断する。これにより、非選択なミキサ回路ブロック内で、その R F 入力端子 (R F i n 1 又は R F i n 2) に対する I F 出力端子 I F o u t の高周波的な絶縁が十分に達成される。この結果、非選択信号が入力されない選択ミキサ回路ブロックによって、周波数のダウンコンバートが行なわれる。入出力遮断部の具体的な構成については、後述する。

【0028】ミキサ回路1は、これを具体的に実現するデバイスの種類に制約はない。但し、好適には、G a A s F E T を用いてミキサ回路1を構成するとよい。なぜなら、G a A s F E T を能動素子として用いるマイクロ波帯 I C (M M I C) は、準マイクロ波帯以上を扱う移動帯通信用の高周波段のデバイスとして最も一般的であり、また、直流バイアス電流の遮断によって入出力間のアイソレーションを確保しやすいからである。

【0029】図2は、G a A s F E T のドレインバイア

ス電流遮断、即ちピンチオフ時における等価回路を示す。ここで、ゲート幅 L_w を $200\mu\text{m}$ 、バイアス条件としては、ドレイン電圧 V_d とソース電圧 V_s を等しくし、ゲートとソース間電圧 V_{gs} を -1V （但し、ピンチオフ電圧 $V_{pinchoff} > V_{gs}$ ）に設定する。この場合のゲート抵抗 R_g 、ドレイン抵抗 R_d 、ソース抵抗 R_s 、ゲートとソース間容量 C_{gs} 、ゲートとドレイン間容量 C_{gd} 、ドレインとソース間容量 C_{ds} の各値は、それぞれ 7.5Ω 、 2.5Ω 、 2.5Ω 、 70fF 、 70fF 、 50fF 程度である。そして、このときのソース接地におけるゲートとドレイン間のアイソレーションは、 2GHz において 20dB 以上、また入出力インピーダンスは約 600Ω と高く、実用上問題のないレベルを確保することができる。各RF端子間にFETを多段接続すれば、更にアイソレーションを向上させることが可能である。

【0030】図3は、GaAsFETのドレインバイアス電流を遮断して入出力間のアイソレーションを行なう入出力遮断部を付加した回路図である。トランジスタ Q_s がミキサ用トランジスタ Q_m のドレイン電流遮断用のDCスイッチング素子であり、端子SWの電圧によりトランジスタ Q_s はオン/オフの動作が可能である。トランジスタ Q_s がオフ時にはトランジスタ Q_m のソース電位が上昇するためトランジスタ Q_m がオフ、即ちピンチオフ状態となり、図2の等価回路に示すドレインバイアス電流遮断時のアイソレーションが実現される。なお、図3における符号 R_{ss} はドレイン電流を安定化させるソース抵抗素子、 R_{01} はゲートバイアス抵抗、 R_{02} はゲート直列抵抗、 C は高周波接地用キャパシタ、 L は負荷インダクタを示す。

【0031】以下、このGaAsFETのドレインバイアス電流遮断によってブロック選択（及びブロック間アイソレーション）を好適に実現した高周波回路の実施形態を、ミキサ回路と増幅回路を例として図面を参照しながら説明する。

【0032】第1実施形態

図4は、第1実施形態に係る高周波ミキサ回路の回路図である。第1ミキサ回路ブロック2内に、デュアルゲート構造のミキサ用トランジスタ Q_{11} が設けられ、同様に、第2ミキサ回路ブロック3内にもデュアルゲート構造のミキサ用トランジスタ Q_{12} が設けられている。これら2つのミキサ用トランジスタ Q_{11} および Q_{12} は、そのドレイン同士が相互接続され、共通なIF出力端子IFoutに接続されている。ミキサ用トランジスタ Q_{11} の第1ゲートはRF入力端子RFin1に接続され、ミキサ用トランジスタ Q_{12} の第1ゲートはRF入力端子RFin2に接続されている。

【0033】ミキサ用トランジスタ Q_{11} と Q_{12} に、LO増幅用トランジスタ Q_{13} 又は Q_{14} が高利得化のためカスケード接続されている。すなわち、LO増幅用トランジスタ Q_{13} のドレインがミキサ用トランジスタ Q_{11} の第2

ゲートに接続され、同様に、LO増幅用トランジスタ Q_{14} のドレインがミキサ用トランジスタ Q_{12} の第2ゲートに接続されている。なお、ミキサ用トランジスタ Q_{11} とLO増幅用トランジスタ Q_{13} との間に結合容量 C_1 、ミキサ用トランジスタ Q_{12} とLO増幅用トランジスタ Q_{14} との間に結合容量 C_2 がそれぞれ介在している。ミキサ用トランジスタ Q_{11} 、 Q_{12} の各第1ゲートは、それぞれ抵抗 R_1 又は R_2 を介して接地されている。同様に、ミキサ用トランジスタ Q_{11} 、 Q_{12} の各第2ゲートは、それぞれ抵抗 R_3 又は R_4 を介して接地されている。各結合容量 C_1 、 C_2 とLO増幅用トランジスタ Q_{13} 、 Q_{14} のドレイン間の接続ノードが、それぞれ電源電圧の供給端子Vdd1又はVdd2に接続されている。LO増幅用トランジスタ Q_{13} 、 Q_{14} は、その第1ゲートが共通なLO入力端子LOinに接続され、それぞれ抵抗 R_5 又は R_6 を介して接地電位に接続されている。LO増幅用トランジスタ Q_{13} 、 Q_{14} の第2ゲートは、それぞれ抵抗 R_7 と容量 C_3 、又は抵抗 R_8 と容量 C_4 を接地電位との間に並列接続させて高周波的な接地がとられている。

【0034】ミキサ用トランジスタ Q_{11} 、 Q_{12} のソースと接地電位との間に、出力スイッチ用トランジスタ Q_{15} 、 Q_{16} とソース抵抗素子 R_{ss1} との直列回路が、それぞれ接地容量 C_5 又は C_6 と並列に接続されている。同様に、LO増幅用トランジスタ Q_{13} 、 Q_{14} のソースと接地電位との間に、入力スイッチ用トランジスタ Q_{17} 、 Q_{18} とソース抵抗素子 R_{ss2} との直列回路が、それぞれ接地容量 C_7 又は C_8 と並列に接続されている。これらスイッチ用トランジスタ Q_{15} 、 Q_{16} 、 Q_{17} および Q_{18} は、シングルゲート構造を有している。スイッチ用トランジスタ Q_{15} 、 Q_{17} のゲートは、それぞれ抵抗 R_9 又は R_{11} を介して第1のスイッチ端子SW1に接続され、スイッチ用トランジスタ Q_{16} 、 Q_{18} のゲートは、それぞれ抵抗 R_{10} 又は R_{12} を介して第2のスイッチ端子SW2に接続されている。これら高抵抗 $R_9 \sim R_{12}$ とスイッチ用トランジスタ $Q_{15} \sim Q_{18}$ により、本発明の“入出力遮断部”が構成され、また、ブロック間で共通に設けられたソース抵抗素子 R_{ss1} 、 R_{ss2} は本発明の“負荷素子”に該当する。

【0035】なお、図4において、入出力の整合回路等については省略してある。また、RF信号とLO信号のミキサ用トランジスタへの入力逆、即ち第1ゲートにLO信号を入力し、第2ゲートにRF信号を入力してもよい。本実施形態の回路構成では、ミキサ部（ミキサ用トランジスタ）で変換利得を得ることができるため、IFアンプは特に設けていないが、更に変換利得を高めるためIFアンプをミキサ部の後段に設けてもよい。

【0036】つぎに、このように構成される高周波ミキサ回路1の動作について、第1ミキサ回路ブロック2を選択し、第2ミキサ回路ブロック3を非選択とする場合を例に説明する。この場合、選択信号が第1ミキサ回路

10

20

30

40

50

ブロック 2 のスイッチ端子 SW1 に印加され、選択信号と逆相の非選択信号が第 2 ミキサ回路ブロック 3 のスイッチ端子 SW2 に印加される。このため、第 1 ミキサ回路ブロック 2 内の 2 つの直流スイッチ用トランジスタ Q15, Q17 がともに導通状態となり、第 2 ミキサ回路ブロック 3 内の 2 つの直流スイッチ用トランジスタ Q16, Q18 がともに非導通状態となる。

【0037】第 1 ミキサ回路ブロック 2 内では、ミキサ用トランジスタ Q11 には IF 出力端子 IFout から電源電圧 V_{DD} によるドレインバイアス電流の経路が確保され動作状態が整えられる。また、LO 増幅用トランジスタ Q13 についても、ドレインバイアス電流の経路が確保され動作状態が整えられる。この状態で、LO 入力端子 LOin から LO 信号が入力されると、LO 信号は LO 増幅用トランジスタ Q13 で増幅され、結合容量 C1 を介してミキサ用トランジスタ Q11 の第 2 ゲートに入力される。また、RF 入力端子 RFin1 から RF 信号が入力され、ミキサ用トランジスタ Q11 の第 1 ゲートに印加されると、このミキサ用トランジスタ Q11 によって RF 信号が LO 信号とミキシングされる。ミキサ用トランジスタ Q11 の出力には、LO 信号と RF 信号の周波数の相違に応じて、IF 信号を含む種々の周波数の信号が現れ IF 出力端子 IFout に導かれる。以後は、この IF 出力端子 IFout からの信号をローパスフィルタを通過させること等によって IF 信号が取り出される。

【0038】一方、第 2 ミキサ回路ブロック 3 は、2 つのスイッチ用トランジスタ Q16, Q18 がともに非導通状態となることから、ミキサ用トランジスタ Q12 および LO 増幅用トランジスタ Q14 がともにドレイン電流遮断（ピンチオフ）状態となる。このため、第 2 ミキサ回路ブロック 3 の動作が停止されるとともに、図 4 に示す RF 入力側の P1 点、ミキシング出力側の P2 点、および LO 入力側の P3 点について、その相互間の高周波的なアイソレーションが十分に達成される。この結果、第 2 ミキサ回路ブロック 3 の RF 入力端子 RFin2 に信号が入力されたとしても、これが IF 出力端子 IFout からの信号に殆ど影響を及ぼすことなく、システム間の干渉が実用上問題のないレベルまで低減される。

【0039】第 2 実施形態

本実施形態は、図 1 の第 1 及び第 2 の高周波回路ブロック 2, 3 の他の形態を例示するものであり、図 1 ～図 3 は本実施形態においても適用される。

【0040】図 5 は、本実施形態に係る高周波ミキサ回路の回路図である。この高周波ミキサ回路 10 は、エンハンスメント型 GaAs FET による正電源電圧による動作が可能な 2 系統の RF 入力端子をもった回路例を示すものであり、第 1 実施形態の場合と同様、整合回路等については省略してある。

【0041】本回路構成におけるミキサ用トランジスタ Q19, Q20 は、シングルゲート構造を有し、ドレインと

ソース間に電圧を印加しないスイッチ型として用いている。すなわち、ゲートに LO 信号を入力し、ソースとドレインの一方に RF 信号を入力し、ソースとドレインの他方からミキシング後の信号を取り出すように接続されている。より詳しい接続関係を述べると、ミキサ用トランジスタ Q19, Q20 のソースとドレインの一方に RF 入力端子 RFin1 又は RFin2 が接続され、ミキサ用トランジスタ Q19, Q20 のゲートに、第 1 実施形態と同様に、デュアルゲート構造の LO 増幅用トランジスタ Q13 又は Q14 が、それぞれ結合容量 C1 又は C2 を介して接続されている。LO 増幅用トランジスタ Q13 又は Q14 は、その第 1 ゲートが共通な LO 入力端子 LOin に接続され、第 2 ゲートが高周波接地用キャパシタ C3 又は C4 によって高周波的に接地されている。この LO 増幅用トランジスタ Q13 と Q14 の第 1 及び第 2 ゲートのバイアス電圧は、抵抗 R5 ～ R7 のほかに、R21 ～ R24 によって設定されている。ミキサ用トランジスタ Q19, Q20 のソースとドレインの他方側は、抵抗 R13 又は R14 を介して接地電位に接続されるとともに、結合容量 C9 又は C10 を介して、シングルゲート構造の IF 増幅用トランジスタ Q21 または Q22 のゲートに接続されている。この IF 増幅用トランジスタ Q21, Q22 のドレインが共通化され、この共通接続点が IF 出力端子 IFout に接続されている。IF 出力端子 IFout から電源電圧 V_{DD} の供給を受ける構成を採用していることは第 1 実施形態の場合と同様である。このため、IF 増幅用トランジスタ Q21, Q22 のドレインと接地電位の間には 2 つの抵抗 R15 と R16、又は R17 と R18 がそれぞれ直列接続され、その抵抗分割によってゲートバイアス点を設定している。

【0042】また、本実施形態のミキサ用トランジスタ Q19, Q20 のゲートには、バイアス回路が接続されている。このバイアス回路では、バイアス供給点（この場合、IF 増幅用トランジスタ Q21, Q22 のゲート）と接地電位との間に、負荷抵抗 RL1 または RL2 と、例えば 200 μ m 程度とゲート幅 W_g が比較的に大きなトランジスタ Q23 または Q24 とがそれぞれ直列接続されている。このトランジスタ Q23, Q24 のゲートとドレインは短絡され、しかも容量 C11 又は C12 を介して接地電位に接続されている。また、このトランジスタ Q23, Q24 のゲートは、高インピーダンス素子（ここでは、抵抗 R19 又は R20）を介してミキサ用トランジスタ Q19 または Q20 のゲートに接続されている。

【0043】このようにバイアス回路を構成しているのは、本回路構成におけるミキサ用トランジスタ Q19, Q20 を、ドレインとソース間に電圧を印加しないスイッチ型として用いているからである。一般に、ドレインとソース間に電圧を印加せず、特性がゲートバイアス電圧に大きく依存する場合、バイアス回路として通常多用される電流帰還型を用いることはできない。スイッチ型のミキサ用トランジスタ Q19, Q20 は、その変換効率（ミキ

シング効率)がゲートバイアス電圧 V_{gg} に大きく依存し、例えばゲート閾値電圧 V_{th} の製造上のバラツキによりゲートバイアス電圧 V_{gg} が設定値からずれるとミキシングロスが発生する。このバイアス回路において、トランジスタ Q_{23} 、 Q_{24} のゲート幅 W_g と負荷抵抗 R_{L1} 、 R_{L2} を十分大きな値に設定すれば、ゲートバイアス電圧 V_{gg} をゲート閾値電圧 V_{th} に近づけ、しかもゲート閾値電圧 V_{th} とともに変化させることができ、この結果、ミキシングロスの発生を有効に防止することができる。

【0044】本実施形態においても、第1実施形態とほぼ同様な構成の入出力遮断部を各ミキサ回路ブロック内に内蔵している。ただし、本実施形態の場合、ミキサ用トランジスタ Q_{19} 、 Q_{20} にはドレイン電流が本来的に流れない構成としていることから、出力スイッチ用トランジスタ Q_{15} 、 Q_{16} は、ミキサ用トランジスタ Q_{19} 、 Q_{20} ではなく、IF増幅用トランジスタ Q_{19} 、 Q_{20} のソースに接続させている。このIF増幅用トランジスタ Q_{19} 、 Q_{20} のソースは、それぞれ容量 C_{13} 又は C_{14} を介して接地電位に接続されている。

【0045】本実施形態のミキサ回路は、正電源で対応可能なこと、バイアス回路によりゲートバイアス電圧 V_{gg} が最適化されたミキサ用トランジスタ Q_{19} 、 Q_{20} のドレインまたはソース側からRF信号が入力されること、及びミキシング後の信号がIF増幅用トランジスタ Q_{21} 、 Q_{22} で増幅されて取り出されること以外、その基本的な動作は第1実施形態とほぼ同様である。また、第1実施形態と同様な効果、即ちスイッチング端子 SW_1 、 SW_2 に入力される信号の論理状態に応じて、トランジスタ Q_{15} 、 Q_{17} 、トランジスタ Q_{16} 、 Q_{18} の何れか一方のペアが選択的に非導通状態になって、その一方のミキサ回路ブロックの動作を停止させ、IF出力端子 IF_{out} に対する高周波的な絶縁が充分に達成される。

【0046】第3実施形態

本実施形態では、本発明がミキサ回路以外にも適用可能なことを例示するため、2系統からなる1段構成の高周波増幅回路について説明する。

【0047】図6は、この高周波増幅回路の概略構成を示す回路図である。この高周波増幅回路20は、図12に示す従来回路120の電源供給切替回路123に代えて、各ブロック内の基本構成にドレインバイアス遮断機能を付加したものである。図6における入力整合回路111、出力整合回路112、高周波増幅用トランジスタ Q_{30} 、ゲートバイアス抵抗 R_{30} 、 R_{31} 、高周波接地用キャパシタ C_{10} 、 C_{11} 、負荷インダクタ L の各構成は、従来と同様である。また、各ブロックごとに、RF入力端子 RF_{in1} 又は RF_{in2} と、RF出力端子 RF_{out1} 又は RF_{out2} を備えることも従来と同様である。

【0048】本実施形態の高周波増幅回路20の2つの回路ブロック21、22が従来構成と異なる点は、高周波増幅用トランジスタ Q_{30} のソースと接地電位との間

に、直流スイッチ用トランジスタ Q_{s1} 又は Q_{s2} とソース抵抗素子 R_{ss} が直列接続され、しかもソース抵抗素子 R_{ss} がブロック間で共通化されていることである。つまり、第1及び第2回路ブロック21、22内の2つの直流スイッチ用トランジスタ Q_{s1} 、 Q_{s2} のソース同士が短絡され、その接続点と接地電位との間に上記ソース抵抗素子 R_{ss} が挿入されている。また、スイッチ端子が各回路ブロックごとに設けられ、各直流スイッチ用トランジスタ Q_s のゲートは、それぞれゲート直列抵抗 R_{32} を介してスイッチ端子 SW_1 又は SW_2 に接続されている。さらに、電源端子 V_{dd} と接地容量 C_{10} は一方の回路ブロック(図6では、第1回路ブロック21)にのみ設けられ、他方の回路ブロックの負荷インダクタ L の一方端が、一方の回路ブロックの電源端子 V_{dd} に接続されている。

【0049】このような構成の高周波増幅回路20では、電源端子 V_{dd} に電源電圧 V_{ω} を供給し、選択的に一つの回路ブロックを動作させる。いま、例えば第2回路ブロック22のスイッチ端子電圧 V_{sw2} をハイレベル、第1回路ブロック21のスイッチ端子電圧 V_{sw1} をローレベルとする。これにより、第2回路ブロック22内の直流スイッチ用トランジスタ Q_{s2} がオン、第1回路ブロック21内の直流スイッチ用トランジスタ Q_{s1} がオフし、第2回路ブロック22内の高周波増幅用トランジスタ Q_{30} のみ、ドレインバイアス電流(動作電流)が流れる。この第2回路ブロック22が選択され、第1回路ブロック21が非選択となった状態では、RF入力端子 RF_{in2} に入力されるRF信号が、増幅後にRF出力端子 RF_{out2} から出力されるが、他方のRF出力端子 RF_{out1} からは増幅後の信号が出力されない。

【0050】この動作において、第2回路ブロック22内でオン状態にある直流スイッチ用トランジスタ Q_{s2} から、動作電流 i がソース抵抗素子 R_{ss} に流れる。この結果、他方の第1回路ブロック21内でオフ状態にある直流スイッチ用トランジスタ Q_{s1} のソース電位が、図13に示すソース抵抗が共通化されていない単独の場合に比較して、ソース抵抗素子 R_{ss} の電圧降下 V_s だけ上昇する。これは、従来に比べ、オフ状態のトランジスタのゲートとドレイン間の電圧 $V_{ds(off)}$ を相対的に V_s だけ負電圧方向にシフトさせることを意味する。その結果、ローレベルのスイッチ端子電圧 V_{sw1} をハイレベルに遷移させたときに、回路ブロックの選択動作におけるオフ状態の動作電圧マージンが拡大される。

【0051】なお、先の説明では詳述しなかったが、前記第1及び第2の実施形態においても、高周波トランジスタのソースに直流スイッチ用トランジスタを接続し、そのソースをブロック間で短絡して負荷素子を介して接地する構成は、この第3実施形態と同様であり、同様な効果を奏する。第1実施形態ではミキサ用トランジスタ Q_{11} 、 Q_{12} 、第2実施形態ではIF増幅用トランジスタ

Q21, Q22が、本発明の“高周波トランジスタ”に該当する。

【0052】最後に、このオフ状態の動作電圧マージン拡大を具体的な試作例において検証した結果について、高周波ミキサ回路への適用例において述べる。

【0053】図7及び図8に、上記図5の回路を試作した場合における、変換利得のスイッチ端子電圧依存性を示す。ここでの試作サンプルは、従来の課題を指摘した際に用いた図14及び図15の場合と同様、デバイスはGaAsJFETであり、そのピンチオフ電圧 $V_{pinchoff}$ は0.1V~0.2V程度であった。また、試作した高周波ミキサ回路10(図5)におけるソース短絡点の電位 v_s が1.2V~1.3Vとなるように、ソース抵抗素子 R_{ss1} , R_{ss2} の抵抗値が設定されている。なお、本回路測定時の電源電圧 V_{DD} は2.7Vとした。

【0054】図7は、図5において第1ミキサ回路ブロック2をオフ状態、第2ミキサ回路ブロック3をオン状態とし、第1ミキサ回路ブロック2においてスイッチ端子 $SW1$ の端子電圧 V_{sw1} を変化させたときの第2ミキサ回路ブロック3での変換利得の推移を示すグラフである。パラメータとして、他方のスイッチ端子 $SW2$ の端子電圧 V_{sw2} をとり、これが2.0Vと2.7Vの場合を示している。このグラフより、変換利得が大きく減少し始める端子電圧 V_{sw1} は1.3V~1.4Vであり、これはソース抵抗端電圧 v_s とピンチオフ電圧の和に等しく、従ってオフ時の動作電圧のマージン($V_{sw1} - V_{pinchoff}$)は1V以上確保できていることが判る。このオフ時の動作電圧マージンは、スイッチ端子 $SW2$ の端子電圧 V_{sw2} を2.7Vから2.0Vに下げても、これに殆ど影響を受けていない。

【0055】図8は、第1ミキサ回路ブロック2をオン、第2ミキサ回路ブロック3をオフとし、第2ミキサ回路ブロック3の端子電圧 V_{sw2} をオン方向に変化させたときの第2ミキサ回路ブロック3での変換利得の推移を示すグラフである。この変換利得は、オン状態のブロックの端子電圧 V_{sw1} に若干依存するものの、図7の場合と同様、高周波特性はオフ時の端子電圧 V_{sw2} が1.3V~1.4V付近で大きく変化しており、これよりオフ時の動作マージンが拡大して端子電圧 V_{sw2} が1V以下であれば安定した高周波遮断特性が得られていることが判る。

【0056】この試作例では、オフ時の動作電圧マージンが1V以上確保できることから、オフ時の高周波遮断特性を確保した上で、スイッチ動作の電圧マージン上限を0.3Vと仮定すれば、高周波トランジスタの下限ピンチオフ電圧は、余裕をみても-0.6V程度までは許容できる。したがって、高周波トランジスタがMESFETの場合のピンチオフ電圧範囲は-0.6V~+0.3V程度に、又、JFETの場合であれば-0.6V~+0.6V程度に拡大できる。その結果、製造プロセス

のバラツキを考慮しても、GaAsFET等、高周波特性に優れるが拡散電位に基づくピンチオフ電圧範囲が狭いデバイスから構成された高周波回路について、その動作が安定し、バイアス電流遮断機能のモノリシック化が可能となる。

【0057】

【発明の効果】本発明に係る高周波回路によれば、選択回路ブロック内を流れる動作電流が共通ソースに接続された負荷素子を流れるときの電圧降下によって、非選択回路ブロック内でオフ状態にある高周波トランジスタのピンチオフ電圧が拡大し、その結果、当該非選択回路ブロックのオフ状態の動作電圧マージンが拡大する。このため、もともとピンチオフ電圧範囲が狭くバイアス電流遮断機能のモノリシック化が困難であった高特性な高周波デバイスを用いて、優れた特性の小型で高機能なMICが種々実現可能となる。

【0058】また、本発明をミキサ回路に適用した場合、例えばGaAsFET等のドレイン電流遮断時における各端子間の高アイソレーション特性を利用すること等によって、複数のRF周波数帯域に対応したマルチシステム対応型ミキサ回路を、高周波スイッチ等による複雑な回路構成を必要とせず、簡単に省スペースで構成することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る2システム対応の高周波ミキサ回路の構成を示すブロック図である。

【図2】GaAsFETのドレインバイアス電流遮断、即ちピンチオフ時における等価回路を示す。

【図3】GaAsFETに、そのドレインバイアス電流を遮断して入出力間のアイソレーションを行なう入出力遮断部を付加した回路図である。

【図4】本発明の第1実施形態に係る高周波ミキサ回路の回路図である。

【図5】本発明の第2実施例に係る高周波ミキサ回路の回路図である。

【図6】本発明の第3実施形態に係る高周波増幅回路の概略構成を示す回路図である。

【図7】図5の回路を試作し第2ミキサ回路ブロックを選択した場合、第2ミキサ回路ブロックの変換利得について、その第1ミキサ回路ブロックのスイッチ端子電圧依存性を示すグラフである。

【図8】図5の回路を試作し第1ミキサ回路ブロックを選択した場合、第2ミキサ回路ブロックの変換利得について、その第2ミキサ回路ブロックのスイッチ端子電圧依存性を示すグラフである。

【図9】従来のデュアルバンド対応ミキサ回路のブロック図である。

【図10】GaAsFETを用いた高周波スイッチの一般的な構成例を示す回路図である。

【図11】従来の高周波増幅器の基本構成を示す回路図

である。

【図12】入力が2系統ある従来の受信装置において、図11の基本増幅回路を各回路ブロックに内蔵させた場合の回路図である。

【図13】図11の基本構成にバイアス電流遮断機能をもたせた場合の回路図である。

【図14】図13と同様なバイアス電流遮断機能を高周波ミキサ回路に適用して試作した場合における、変換利得のスイッチ端子電圧 V_{sw} 依存性を示すグラフである。

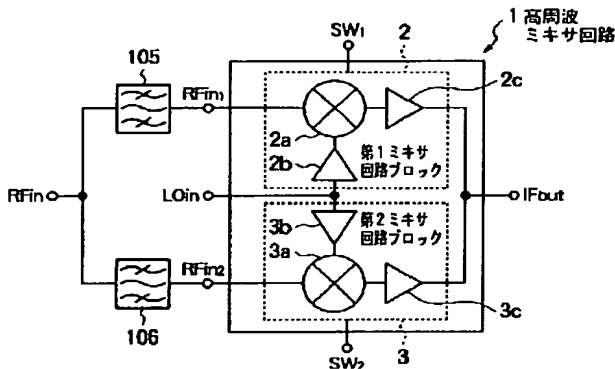
【図15】図14と同じ試作例において、バイアス電流のスイッチ端子電圧 V_{sw} 依存性を測定し、その結果をグラフ化したものである。

【符号の説明】

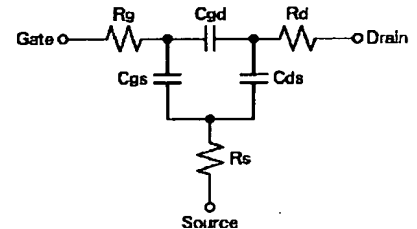
1…高周波ミキサ回路（高周波回路）、2…第1ミキサ回路ブロック、3…第2ミキサ回路ブロック、2a、3*

* a…ミキサ部、2b、3b…LOバッファアンプ、2c、3c…IFバッファアンプ、20…高周波増幅回路（高周波回路）、21…第1回路ブロック、22…第2回路ブロック、111…入力整合回路、112…出力整合回路、105、106…狭帯域フィルタ、Q11、Q12、Q19、Q20…ミキサ用トランジスタ、Q13、Q14…LO増幅用トランジスタ、Q15、Q16…出力スイッチ用トランジスタ、Q17、Q18…入力スイッチ用トランジスタ、Q21、Q22…IF増幅用トランジスタ、Q23、Q24…ゲートバイアス設定用トランジスタ、Q30…高周波増幅用トランジスタ、Qs1、Qs2…直流スイッチ用トランジスタ、Rss、Rss1、Rss2…ソース抵抗素子（負荷抵抗）、RL1、RL2…バイアス回路の負荷抵抗、RFin1、RFin2…RF入力端子、LOin…LO信号入力端子、Vdd…電源端子、SW1、SW2…スイッチ端子。

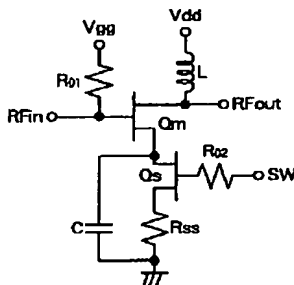
【図1】



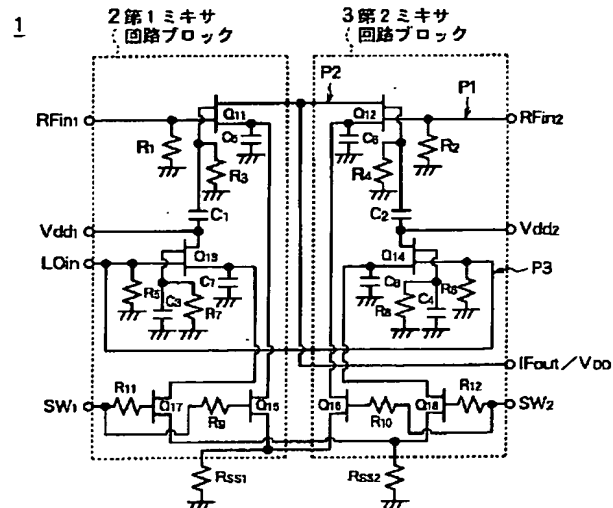
【図2】



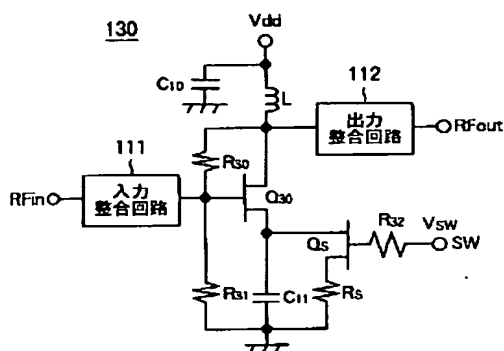
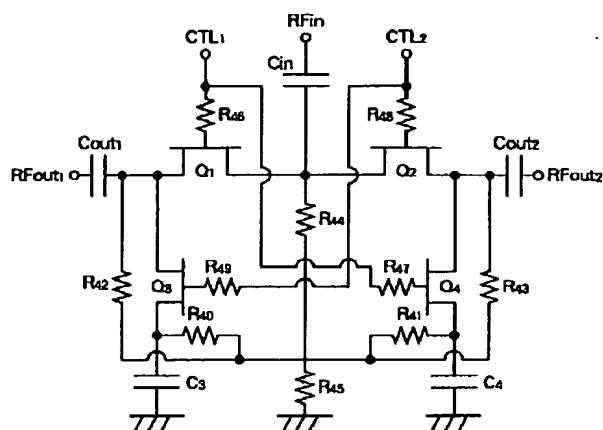
【図3】



【図4】

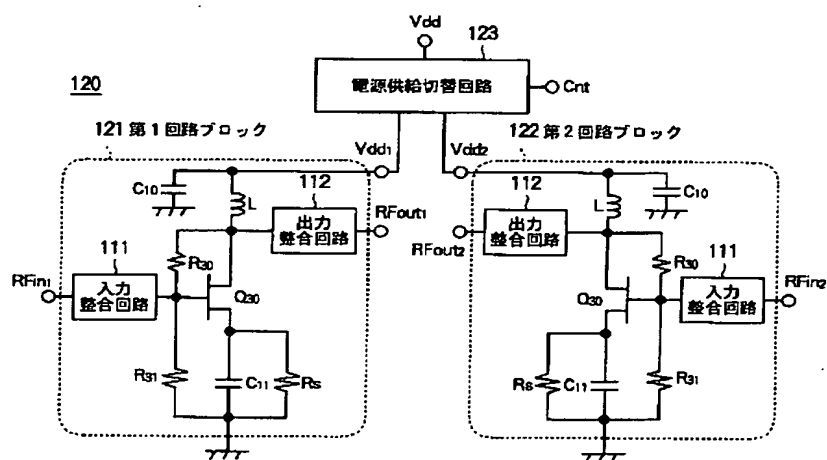


【图 1 3】



【図 14】

【図 1 2】



【図 15】

